

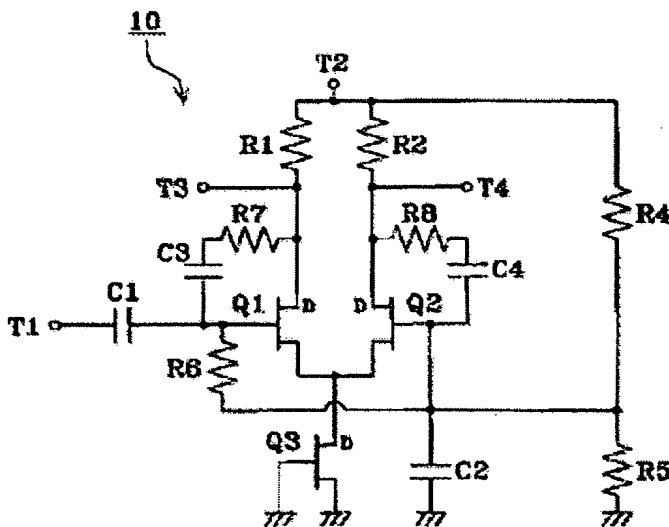
FET DIFFERENTIAL AMPLIFIER CIRCUIT AND ELECTRONIC DEVICE EMPLOYING THE SAME

Patent number: JP2003069352
Publication date: 2003-03-07
Inventor: AMACHI NOBUMITSU; FUJIWARA DAIKI
Applicant: MURATA MANUFACTURING CO
Classification:
- international: H03F3/45; H03F1/34; H03F1/56; H03F3/45; H03F1/00; H03F1/34; (IPC1-7): H03F3/45; H03F1/34; H03F1/56
- european:
Application number: JP20010253155 20010823
Priority number(s): JP20010253155 20010823

[Report a data error here](#)

Abstract of JP2003069352

PROBLEM TO BE SOLVED: To provide a FET differential amplifier circuit that can match the input impedance with the characteristic impedance at a low cost without deteriorating the characteristics and to provide an electronic device employing the same. **SOLUTION:** A feedback circuit comprising a series circuit comprising a resistor R7 and a capacitor C3 is placed between a gate and a drain of a FET Q1 whose gate is connected to an input terminal T1 in two differential FETs Q1, Q2. Thus, the amplifier circuit can match the input impedance with the characteristic impedance at a low cost without deteriorating the noise figure and distortion performance.



Data supplied from the *esp@cenet* database - Worldwide

【特許請求の範囲】

【請求項1】 第1、第2および第3のFETを有し、前記第1のFETのソースと前記第2のFETのソースが前記第3のFETのドレインに接続され、前記第3のFETのゲートとソースが接地されているFET差動増幅回路において、

前記第1のFETおよび前記第2のFETのうちの、少なくともゲートが入力端子に接続されているFETのゲートとドレインの間に帰還回路が設けられていることを特徴とするFET差動増幅回路。

【請求項2】 前記帰還回路が、抵抗とコンデンサの直列回路からなることを特徴とする、請求項1に記載のFET差動増幅回路。

【請求項3】 前記第1および第2のFETが、単一の半導体基板上に形成されていることを特徴とする、請求項1または2に記載のFET差動増幅回路。

【請求項4】 前記半導体基板が化合物半導体基板であることを特徴とする、請求項3に記載のFET差動増幅回路。

【請求項5】 前記帰還回路が、前記半導体基板とは別体として設けられていることを特徴とする、請求項3または4に記載のFET差動増幅回路。

【請求項6】 請求項1乃至5のいずれかに記載のFET差動増幅回路を用いたことを特徴とする電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、FET差動増幅回路およびそれを用いた電子装置、特に映像伝送系に使用されるFET差動増幅回路およびそれを用いた電子装置に関する。

【0002】

【従来の技術】差動増幅回路は、2つの入力信号の差成分を増幅し、互いに逆位相の2つの信号として出力する回路として、映像伝送系などで広く使用されている。また、入力端子の一方にのみ信号を入力する構成の場合には、単一の信号から互いに逆相の2つの出力信号が得られることから、不平衡-平衡変換回路としても使用されている。特に、増幅用能動素子としてFET（電界効果トランジスタ）を用いると、FETが持つ高い線形性と高利得・低雑音特性により、歪みが少なく、雑音指数が低く、利得の高い差動増幅回路を実現することができ、広い周波数帯域を必要とする映像伝送系に適している。

【0003】ここで、図5に、従来のFET差動増幅回路の回路図を示す。図5において、FET差動増幅回路1は、能動素子であるFETQ1、Q2、Q3、抵抗R1、R2、R3、R4、R5、R6、コンデンサC1、C2、入力端子T1、電源端子T2、出力端子T3、T4から構成されている。

【0004】ここで、FETQ1のゲートはコンデンサC1を介して入力端子T1に接続され、ドレインは抵抗

R1を介して電源端子T2に接続されるとともに出力端子T3にも接続され、ソースはFETQ3のドレインに接続されている。また、FETQ2のゲートはコンデンサC2を介して接地され、ドレインは抵抗R2を介して電源端子T2に接続されるとともに出力端子T4にも接続され、ソースはFETQ3のドレインに接続されている。入力端子T1は抵抗R3を介して接地されている。FETQ3のゲートとソースはいずれも接地されている。電源端子T2は抵抗R4と抵抗R5を順に介して接地されており、その接続点はFETQ2のゲートに接続されるとともに抵抗R6を介してFETQ1のゲートにも接続されている。

【0005】なお、コンデンサC2は大きな容量を有しているためにFETQ2のゲートは高周波的に接地されることになる。また、抵抗R4、R5、R6はFETQ1、Q2のためのゲートバイアス回路である。また、コンデンサC1は入力端子T1に直流バイアス電圧が漏れないように設けられている。

【0006】このように構成されたFET差動増幅回路1において、入力端子T1から信号が入力されると、FETQ1とFETQ2でそれを増幅し、出力端子T3からは入力された信号とは位相が反転した信号が出力される。また、出力端子T4からは、出力端子T3から出力される信号とは位相の反転した信号が出力される。

【0007】一般に、FET差動増幅回路においては、FETの入力インピーダンスが高いために、映像伝送系における標準的な特性インピーダンスである75Ωと整合させるために、マッチング抵抗を用いて入力インピーダンスをダンピングさせることが多い。図1に示したFET差動増幅回路1においては、抵抗R3がマッチング抵抗である。FETQ1の入力インピーダンスが約1kΩの場合にマッチング抵抗である抵抗R3の抵抗値を100Ω程度にすることによって、入力インピーダンスを約90Ωとすることができ、特性インピーダンスの75Ωに近づけて整合を取ることができる。また、マッチング抵抗に代えてマッチングトランスによってインピーダンス変換を行って特性インピーダンスとの整合を取る場合もある。

【0008】

【発明が解決しようとする課題】しかしながら、従来のFET差動増幅回路1のようにマッチング抵抗を用いる場合は、見かけ上は特性インピーダンスとのインピーダンス整合が取れるものの、実際には入力信号の電力がマッチング抵抗によって吸収されるために、損失が発生する。そのため、FET差動増幅回路全体としては、利得の低下や雑音指数の増大という問題が発生する。例えば、1GHzにおいて約4dBの雑音指数を有するFETを使ったFET差動増幅回路の入力に100Ωのマッチング抵抗を用いると、FET差動増幅回路全体の雑音指数は約10dBまで劣化する。

【0009】一方、マッチングトランスを用いる場合には雑音指数の劣化は少ないが、映像伝送系のように広い周波数帯域（例えば10MHz～1GHz）が必要な場合には、マッチングトランスの製造が困難になったり、価格が高くなったりするという問題があった。

【0010】本発明は上記の問題点を解決することを目的とするもので、特性を劣化させることなく安価に入力インピーダンスの特性インピーダンスとの整合を取ることのできるFET差動増幅回路およびそれを用いた電子装置を提供する。

【0011】

【課題を解決するための手段】上記目的を達成するために、本発明のFET差動増幅回路は、第1、第2および第3のFETを有し、前記第1のFETのソースと前記第2のFETのソースが前記第3のFETのドレインに接続され、前記第3のFETのゲートとソースが接地されているFET差動増幅回路において、前記第1のFETおよび前記第2のFETのうちの、少なくともゲートが入力端子に接続されているFETのゲートとドレインの間に帰還回路が設けられていることを特徴とする。

【0012】また、本発明のFET差動増幅回路は、前記帰還回路が、抵抗とコンデンサの直列回路からなることを特徴とする。

【0013】また、本発明のFET差動増幅回路は、前記第1および第2のFETが、単一の半導体基板上に形成されていることを特徴とする。

【0014】また、本発明のFET差動増幅回路は、前記半導体基板が化合物半導体基板であることを特徴とする。

【0015】また、本発明のFET差動増幅回路は、前記帰還回路が、前記半導体基板とは別体として設けられていることを特徴とする。

【0016】また、本発明の電子装置は、上記のFET差動増幅回路を用いたことを特徴とする。

【0017】このように構成することにより、本発明のFET差動増幅回路においては、特性を劣化させることなく安価に入力インピーダンスの整合を取ることができる。

【0018】また、本発明の電子装置においては、性能の向上を図ることができる。

【0019】

【発明の実施の形態】図1に、本発明のFET差動増幅*

$$Z_{in} = Z_{g1} \times (1 - A \times g_{m1} \times r_7) \quad (1)$$

になる。ここで、 Z_{g1} は帰還回路が無い場合のFET Q1の入力インピーダンス、 A は比例係数、 g_{m1} はFET Q1の相互コンダクタンス、 r_7 は抵抗R7の抵抗値である。出願人の実験によれば、 Z_{g1} が約1kΩのときに Z_{in} は約90Ωになり、特性インピーダンスの75Ωに近づけることができた。

【0025】このFET差動増幅回路10の利得は、帰

* 回路の一実施例の回路図を示す。図1において、図5と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。

【0020】図1に示したFET差動増幅回路10においては、FET Q1のゲートとドレインの間に抵抗R7とコンデンサC3の直列回路からなる帰還回路が接続され、FET Q2のゲートとドレインの間に抵抗R8とコンデンサC4の直列回路からなる帰還回路が接続され、それぞれドレインからゲートへ負帰還がかけられている。

10 コンデンサC3、C4はいずれも直流カットコンデンサである。この点を除いては、図5に示したFET差動増幅回路1と同じである。

【0021】ここで、FET Q1、Q2、Q3と、抵抗R1、R2、R4、R5、R6、コンデンサC2は、単一の半導体基板であるGaAs基板上に集積して集積回路として形成されている。FET Q1、Q2はゲート長が0.5μmで総ゲート幅が400μmのMESFET (Metal-Semiconductor FET) であり、FET Q3はゲート長が0.5ミクロンで総ゲート幅が200ミクロンのMESFETである。抵抗はGaAs基板の特定の場所にイオン注入を行うことによって形成されており、抵抗R1、R2は200Ω、抵抗R4は8kΩ、抵抗R5は2kΩ、抵抗R6は5kΩである。コンデンサC2は0.2nmのシリコン窒化膜を金属層で挟んだいわゆるMIM (Metal-Insulator-Metal) キャパシタで、20pFとなっている。

【0022】この集積回路はプリント基板上に搭載されている。そして、抵抗R7、R8と、コンデンサC1、C3、C4はプリント基板上に個別素子として搭載されている。素子の形態としては、チップ抵抗、基板上に形成された薄膜抵抗、基板上に印刷によって形成された厚膜抵抗、チップコンデンサ、基板上に形成されたMIMキャパシタなどが考えられ、この実施例においては、抵抗R7が470Ω、抵抗R8が220Ω、コンデンサC1、C3、C4はいずれも1000pFとなっている。

【0023】そして、このFET差動増幅回路10の動作周波数、すなわち入力される信号の周波数帯域は10MHz～1.0GHzである。

40 【0024】このように構成されたFET差動増幅回路10においては、入力端子T1からみた入力インピーダンス Z_{in} は、ほぼ

還回路を設けることによって低下するものの、雑音指数の低下は利得の低下分に対応するだけで済み、従来のFET差動増幅回路1のようにマッチング抵抗を設ける場合ほど低下することはない。たとえば、出願人の実験によれば、FET差動増幅回路1とFET差動増幅回路10の入力インピーダンスはほぼ同等だが、雑音指数はFET差動増幅回路1が10dBであるのに対してFET

差動増幅回路 10 では 6 dB となっており、大幅に改善されている。

【0026】なお、式 (1) よりわかるように、抵抗 R8 とコンデンサ C4 は FET 差動増幅回路 10 の入力インピーダンスには影響しない。しかしながら、FET Q1 のゲートドレイン間に帰還回路を設けることによって出力端子 T3 の出力インピーダンスが下がるため、出力端子 T4 とのインピーダンスバランスが崩れて、出力端子 T3 および T4 に接続される回路との整合性が乱れる可能性がある。そのために、FET Q2 にも負帰還をかけてバランスの改善を図っている。

【0027】このように、FET 差動増幅回路 10 においては、標準的な特性インピーダンスと入力インピーダンスの整合が取れるにも関わらず、雑音指数の大きな劣化を防止することができる。

【0028】また、差動用の 2 つの FET Q1、Q2 を単一の半導体基板上に形成することによって、2 つの FET Q1、Q2 の特性をそろえることができ、差動特性をよくすることができる。また、半導体基板として高周波特性の優れた化合物半導体基板である GaAs 基板を用いることによって、近年の映像伝送の高周波化にも対応できるようになっている。さらには、帰還回路を FET Q1、Q2 の形成された半導体基板、すなわち集積回路と別体としてプリント基板上に設けることによって、設計の自由度を向上させることができる。

【0029】なお、FET 差動増幅回路 10 においては、抵抗 R7、R8 と、コンデンサ C1、C3、C4 はプリント基板上に搭載された個別素子としたが、もちろん FET Q1 や Q2 と同じ半導体基板に集積されていて構わないものである。

【0030】また、FET 差動増幅回路 10 においては、抵抗 R8 とコンデンサ C4 からなる帰還回路は、その一端が FET Q2 のゲートに接続されているが、FET Q2 のゲートはコンデンサ C2 によって高周波的に接地されているので、FET Q2 のゲートに接続する代わりに直接接地しても構わないもので、FET Q2 のゲートに接続された場合と同様の作用効果を奏するものである。図 2 に、本発明の FET 差動増幅回路の別の実施例の回路図を示す。図 2 において、図 1 と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。

【0031】図 2 に示した FET 差動増幅回路 20 にお*

$$Z_{in1} = Z_{g1} \times (1 - A \times g_{m1} \times r_7) \quad (2)$$

になり、入力端子 T5 から見た入力インピーダンス Z_{in2} は、ほぼ

$$Z_{in2} = Z_{g2} \times (1 - A \times g_{m2} \times r_9) \quad (3)$$

になる。ここで、 Z_{g1} 、 Z_{g2} は帰還回路が無い場合の FET Q1、FET Q2 の入力インピーダンス、A は比例係数、 g_{m1} は FET Q1 の相互コンダクタンス、 g_{m2} は FET Q2 の相互コンダクタンス、 r_7 は抵抗 R7 の抵抗値、 r_9 は抵抗 R9 の抵抗値である。出願人の実験によれば、 Z_{g1} 、 Z_{g2} が約 1 kΩ のときに Z

* いては、FET 差動増幅回路 10 における抵抗 R8 とコンデンサ C4、すなわち FET Q2 に対する帰還回路が取り除かれている。

【0032】このように構成された FET 差動増幅回路 20 においては、入力インピーダンスは FET 差動増幅回路 10 の場合と変わらない。しかしながら、FET Q2 に対する帰還回路が存在しないために、出力端子 T3 と T4 のインピーダンスバランスが合っていない。そのため、差動出力とする場合には雑音信号が差動打ち消しされないために、雑音指数が若干劣化する。例えば、出願人の実験によれば、FET 差動増幅回路 10 においては雑音指数が 6 dB であったものが、FET 差動増幅回路 20 においては 8.5 dB になった。もちろん、それでも従来の FET 差動増幅回路 1 における 10 dB よりはいい値となっている。

【0033】ところで、1 入力の FET 差動増幅回路は歪み特性に優れるために、2 つの出力のうち的一方しか信号伝送系に使用しない場合がある。このような場合には強いて出力インピーダンスを合わせる必要がなく、FET 差動増幅回路 10 に比べて抵抗とコンデンサを 1 つずつ省略することができ、増幅回路全体としての小型化と低価格化を実現することができる。なお、その場合に、もう一方の出力はそのままにしても構わないが、バランスに支障が出る場合には特性インピーダンスで終端しておく方がよい。

【0034】図 3 に、本発明の FET 差動増幅回路のさらに別の実施例の回路図を示す。図 3 において、図 1 と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。

【0035】図 3 に示した FET 差動増幅回路 30 においては、FET 差動増幅回路 10 におけるコンデンサ C2 を省き、代わりに FET Q2 のゲートをコンデンサ C5 を介してもう 1 つの入力端子 T5 に接続している。さらに、抵抗 R8 に代えて抵抗 R9 を備えている。

【0036】ここで、抵抗 R9 は抵抗 R7 と同じ 470 Ω となっている。また、コンデンサ C5 はコンデンサ C1 と同じ 1000 pF となっている。

【0037】このように構成された FET 差動増幅回路 30 は、2 入力 2 出力の FET 差動増幅回路で、入力端子 T1 からみた入力インピーダンス Z_{in1} は、ほぼ

Z_{in1} 、 Z_{in2} は約 90 Ω になり、特性インピーダンスの 75 Ω に近づけることができた。

【0038】このように構成された FET 差動増幅回路 30 においては、2 入力の差動増幅回路であるが、1 入力の差動増幅回路である FET 差動増幅回路 10 と同様に入力インピーダンスを下げるができる。出願人の

実験によれば、雑音指数に関しても、どちらの入力を基準にしても FET 差動増幅回路 10 の場合と同様に 6 dB となり、良好な結果が得られた。

【0039】このように、FET 差動増幅回路 30 においては、雑音指数を劣化させることなく、2つの入力端子の両方で標準的な特性インピーダンスとの整合を取ることができる。

【0040】なお、抵抗 R4、R5 の抵抗値が十分に大きい場合には、その接続点と FET Q2 のゲートとの間を直結していてもよいが、そうでない場合には FET Q1 側における抵抗 R6 と同様の抵抗を間に設けることも 10 ある。

【0041】ところで、上記の各実施例においては、高周波動作時の浮遊容量などのために入力インピーダンスの周波数特性に若干の乱れが生じる場合がある。そのような場合には、従来の FET 差動増幅回路 1 における抵抗 R3 のように、入力端子とグランドとの間に入力インピーダンス補正用の抵抗を設けてもよい。ただし、その場合にも、従来の FET 差動増幅回路 1 における抵抗 R3 (100Ω) のように低い抵抗値とする必要がなく、20 例えば 470Ω 程度の高い抵抗値とすることができるため、雑音指数への悪影響はほとんど無い。

【0042】図 4 に、本発明の電子装置の一実施例のブロック図を示す。図 4 において、電子装置の 1 つであるチューナ 40 は、入力端子 41、帯域通過フィルタ 42、48、50、56、アンプ 43、46、49、55、PLL 回路 44、51、発振器 45、52、ミキサ 47、53、低域通過フィルタ 54、出力端子 57 から構成されている。

【0043】ここで、入力端子 41 は帯域通過フィルタ 42 とアンプ 43 を順に介してミキサ 47 に接続され、PLL 回路 44 も発振器 45 とアンプ 46 を順に介してミキサ 47 に接続されている。ミキサ 47 の出力は帯域通過フィルタ 48 とアンプ 49 と帯域通過フィルタ 50 を順に介してミキサ 53 に接続され、PLL 回路 51 も発振器 52 を介してミキサ 53 に接続されている。ミキサ 53 の出力は低域通過フィルタ 54 とアンプ 55 と帯域通過フィルタ 56 を順に介して出力端子 57 に接続されている。

【0044】このうち、アンプ 43 は RF 信号増幅用の 40 アンプで、本発明の FET 差動増幅回路が用いられてい

る。

【0045】このように構成されたチューナ 40 においては、本発明の FET 差動増幅回路を用いることによって、雑音の増加を抑え、歪みを小さくして性能の向上を図ることができる。

【0046】なお、図 4 においては電子装置としてチューナを示したが、電子装置としてはチューナに限るものではなく、RF 信号を扱う携帯電話など、本発明の FET 差動増幅回路を用いたものであれば何でも構わないものである。

【0047】

【発明の効果】本発明の FET 差動増幅回路によれば、差動用の 2 つの FET のうちの、少なくともゲートが入力端子に接続されている FET のゲートとドレインの間に帰還回路を設けることによって、雑音指数や歪みを劣化させることなく安価に入力インピーダンスの特性インピーダンスとの整合を取ることができる。

【0048】また、本発明の電子装置によれば、本発明の FET 差動増幅回路を用いることによって、性能の向上を図ることができる。

【図面の簡単な説明】

【図 1】本発明の FET 差動増幅回路の一実施例を示す回路図である。

【図 2】本発明の FET 差動増幅回路の別の実施例を示す回路図である。

【図 3】本発明の FET 差動増幅回路のさらに別の実施例を示す回路図である。

【図 4】本発明の電子装置の一実施例を示すブロック図である。

【図 5】従来の FET 差動増幅回路を示す回路図である。

【符号の説明】

10、20、30…FET 差動増幅回路

Q1～Q3…FET

C1～C5…コンデンサ

R1、R2、R4～R9…抵抗

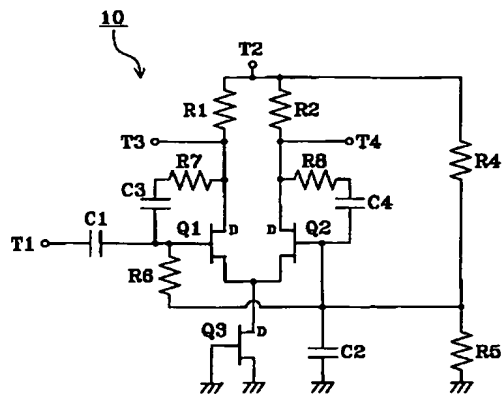
T1、T5…入力端子

T2…電源端子

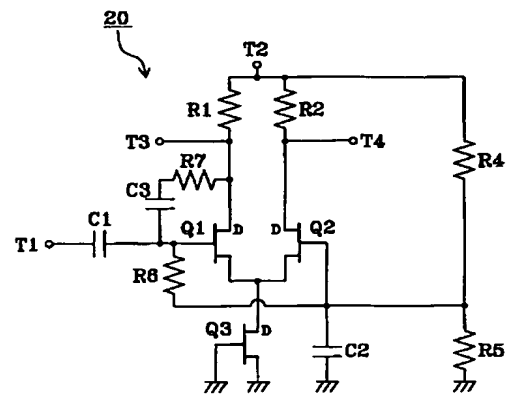
T3、T4…出力端子

40…チューナ

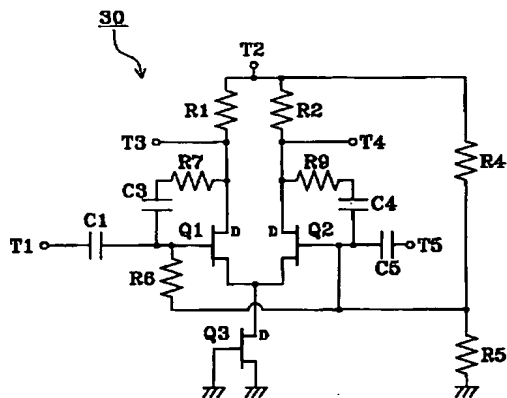
【図 1】



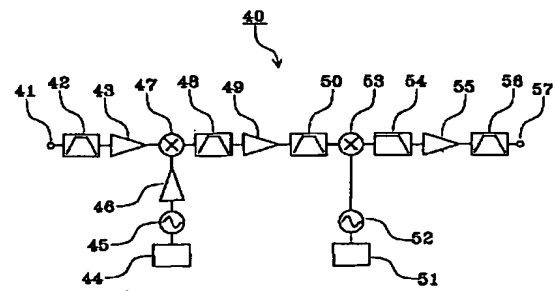
【図 2】



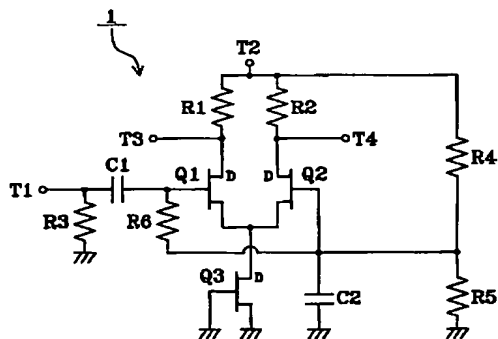
【図 3】



【図 4】



【図 5】



フロントページの続き

Fターム(参考) 5J066 AA01 AA12 CA21 CA41 CA75
FA17 HA09 HA32 HA34 HA35
HA39 KA32 KA42 KA44 MA11
MA21 ND01 ND11 ND22 ND23
PD02 SA08 TA01
5J090 AA01 AA12 CA21 CA41 CA75
DN01 FA17 HA09 HA32 HA34
HA35 HA39 KA32 KA42 KA44
MA11 MA21 MN02 MN04 NN05
NN12 SA08 TA01
5J091 AA01 AA12 CA21 CA41 CA75
FA17 HA09 HA32 HA34 HA35
HA39 KA32 KA42 KA44 MA11
MA21 SA08 TA01
5J500 AA01 AA12 AC21 AC41 AC75
AF17 AH09 AH32 AH34 AH35
AH39 AK32 AK42 AK44 AM11
AM21 AS08 AS09 AT01 DN01
DN11 DN22 DN23 DP02 ND01
NM02 NM04 NN05 NN12